

(19) 世界知的所有権機関
国際事務局



(43) 国際公開日
2003 年 6 月 12 日 (12.06.2003)

PCT

(10) 国際公開番号
WO 03/049291 A1

(51) 国際特許分類⁷: H03K 19/00

区八丁堀1-10-7号 マツダ八重洲通ビル6階 ザインエレクトロニクス株式会社内 Tokyo (JP).

(21) 国際出願番号: PCT/JP01/10725

(22) 国際出願日: 2001 年 12 月 7 日 (07.12.2001)

(74) 代理人: 大島由美子(OSHIMA, Yumiko); 〒169-0075 東京都新宿区高田馬場1-20-10-203 進歩国際特許事務所 Tokyo (JP).

(25) 国際出願の言語: 日本語

(81) 指定国 (国内): CA, CN, IL, IN, JP, KR, RU, SG, US.

(26) 国際公開の言語: 日本語

(84) 指定国 (広域): ヨーロッパ特許 (AT, BE, CH, CY, DE, DK, ES, FI, FR, GB, GR, IE, IT, LU, MC, NL, PT, SE, TR).

(71) 出願人 (米国を除く全ての指定国について): ザインエレクトロニクス株式会社 (THINE ELECTRONICS, INC.) [JP/JP]; 〒104-0032 東京都中央区八丁堀1-10-7 マツダ八重洲通ビル6階 Tokyo (JP).

添付公開書類:
— 国際調査報告書

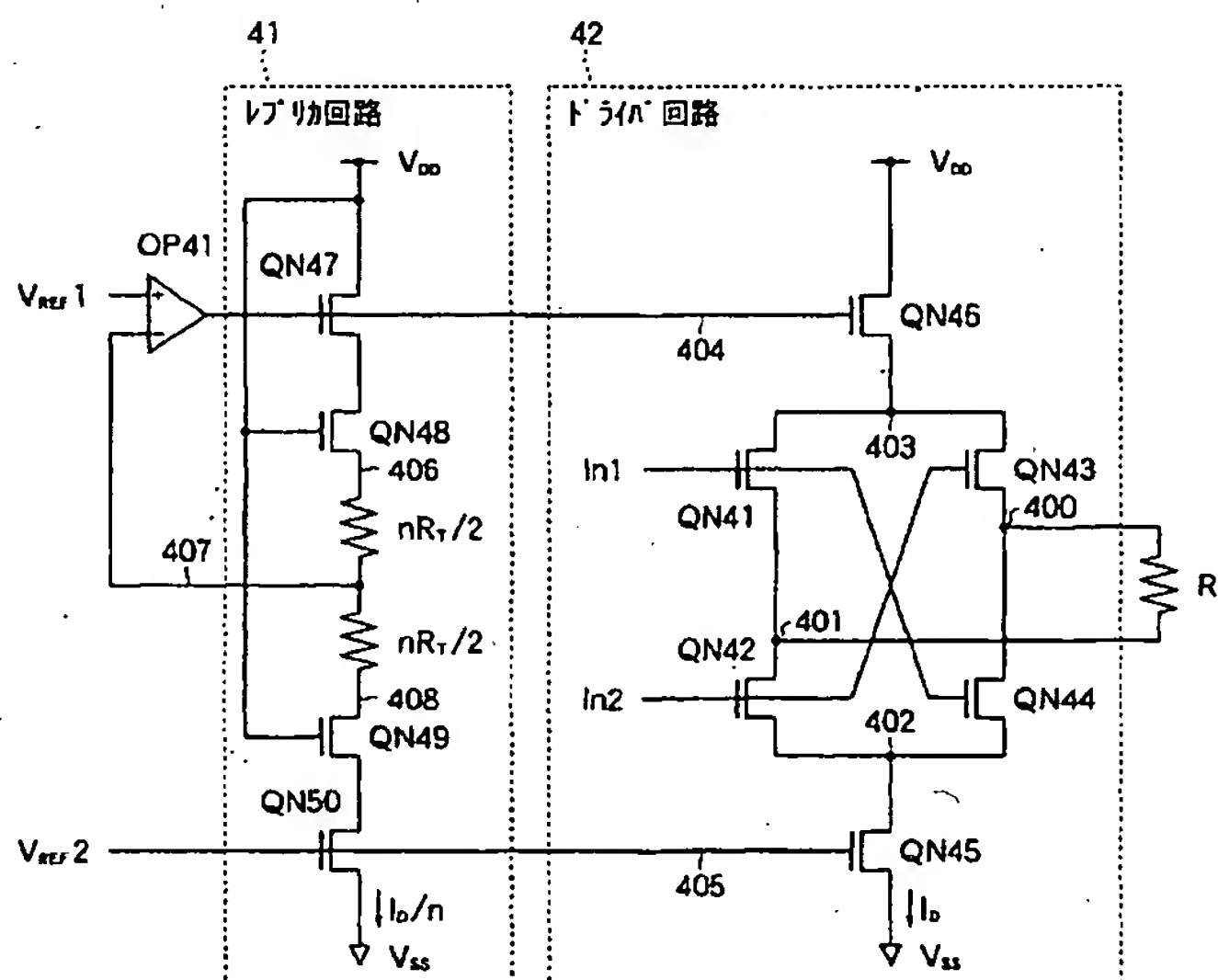
(72) 発明者; および

(75) 発明者/出願人 (米国についてのみ): 面 一幸 (OMOTE, Kazuyuki) [JP/JP]; 〒104-0032 東京都中央

2文字コード及び他の略語については、定期発行される各PCTガゼットの巻頭に掲載されている「コードと略語のガイダンスノート」を参照。

(54) Title: SEMICONDUCTOR INTEGRATED CIRCUIT

(54) 発明の名称: 半導体集積回路



41...REPLICA CIRCUIT

42...DRIVER CIRCUIT

(57) Abstract: A line driver for outputting a differential signal of a small amplitude to the outside comprises an output circuit which carries out a switching operation when fed with the differential signal, a first transistor connected between a first power supply potential and the output circuit, a second transistor connected between a second power supply circuit and the output circuit, a third transistor connected with the first power supply potential, and a fourth transistor connected with the third transistor through a first resistor and a second resistor. The second and fourth transistors constitute a current-mirror circuit to control the first and third transistors so that the intermediate potentials of the first resistor and the second resistor may be predetermined potentials.

[続葉有]



(57) 要約:

小振幅の差動信号を外部に出力するためのラインドライバにおいて、差動信号が供給されてスイッチング動作を行う出力回路、第1の電源電位と出力回路の間に接続した第1のトランジスタ、第2の電源回路と出力回路の間に接続した第2のトランジスタ、第1の電源電位に接続した第3のトランジスタ、第3のトランジスタと第1の抵抗、第2の抵抗を介して接続した第4のトランジスタを具備し、第2及び第4のトランジスタがカレントミラー回路を構成し、第1の抵抗と第2の抵抗の中間電位が所定電位になるように第1及び第3のトランジスタを制御する。

明 細 書

半導体集積回路

5 技術分野

本発明は、一般的に半導体集積回路に関し、特に、小振幅の差動信号を外部に出力するためのラインドライバを含む半導体集積回路に関する。

10 背景技術

近年、パーソナルコンピュータのグラフィックボードとディスプレイ部との間の信号伝送等において、小振幅の差動信号（low voltage differential signaling：LVDS）を用いる方式が採用されている。この方式によれば、デジタル信号をフルスイングで伝送する場合と比較して、EMI（electromagnetic interference：電磁妨害雑音）を抑制することができる。

図1に、LVDS方式において使用されている従来のラインドライバの例を示す。このラインドライバは、差動信号 I_{n1} 及び I_{n2} がゲートに入力されてスイッチング動作を行うNチャネルMOSトランジスタQN11～QN14と、高電位側の電源電位 V_{DD} からトランジスタQN11及びQN13に定電流を供給する定電流源CSと、トランジスタQN12及びQN14のソース（ノード102）と低電位側の電源電位 V_{SS} との間に接続されたNチャネルMOSトランジスタQN15と、トランジスタQN15のゲート電圧を制御するオペアンプOP11とを含んでいる。

オペアンプOP11の非反転入力にはリファレンス電位 V_{REF} が供給

され、オペアンプOP 1 1の反転入力にはノード1 0 2の電位がフィードバックされる。これにより、ノード1 0 2の電位は、リファレンス電位 V_{REF} に近付くように制御される。

各々の入力信号 I_{n1} 、 I_{n2} の電位は、低電位側の電源電位 V_{SS} から高電位側の電源電位 V_{DD} までの範囲で変化する。これに伴い、トランジスタQN 1 1～QN 1 4がスイッチング動作を行う。例えば、入力信号 I_{n1} がローレベルで入力信号 I_{n2} がハイレベルの場合には、トランジスタQN 1 1及びQN 1 4がオフ状態となり、トランジスタQN 1 2及びQN 1 3がオン状態となる。これにより、受信側の終端抵抗 R_T に電流 I_D が流れ、ノード1 0 0とノード1 0 1との間に出力電圧 $\Delta V = I_D \times R_T$ が生じる。

また、差動出力のオフセット電位 V_{OS} は、ノード1 0 0及びノード1 0 1の電位をそれぞれ V_{100} 及び V_{101} とすると、 $V_{OS} = (V_{100} + V_{101}) / 2$ で表される。このオフセット電位 V_{OS} が目標の値となるように、オペアンプOP 1 1の非反転入力に供給されるリファレンス電位 V_{REF} が決定される。

しかしながら、図1に示すラインドライバにおいては、トランジスタQN 1 1～QN 1 4が頻繁にスイッチングすると、ノード1 0 2の電位変動が大きくなり、オフセット電位 V_{OS} が不安定になり易い。これを改善するためには、オペアンプOP 1 1の裸ゲインを大きくすることが考えられるが、一方でオペアンプOP 1 1が電源ノイズ等により発振し易くなるという問題が生じる。また、オフセット電位 V_{OS} を一定にして出力電圧 ΔV を変化させるためには定電流源CSとリファレンス電位 V_{REF} との両方を変更する必要があるので、これらを発生する回路が複雑になってしまう。

図2に、LVDS方式において使用されている従来のラインドライバ

- の他の例を示す。このラインドライバは、差動信号 I_{n1} 及び I_{n2} がゲートに入力されてスイッチング動作を行うNチャネルMOSトランジスタ $Q_{N21} \sim Q_{N24}$ と、高電位側の電源電位 V_{DD} とトランジスタ Q_{N21} 及び Q_{N23} のドレイン（ノード203）との間に接続された
- 5 NチャネルMOSトランジスタ Q_{N26} と、トランジスタ Q_{N26} のゲート電圧を制御するオペアンプ $OP21$ と、トランジスタ Q_{N22} 及び Q_{N24} のソース（ノード202）と低電位側の電源電位 V_{SS} との間に接続されたNチャネルMOSトランジスタ Q_{N25} と、トランジスタ Q_{N25} のゲート電圧を制御するオペアンプ $OP22$ とを含んでいる。
- 10 オペアンプ $OP21$ の非反転入力にはリファレンス電位 V_{REF1} が供給され、オペアンプ $OP21$ の反転入力にはノード203の電位がフィードバックされる。これにより、ノード203の電位は、リファレンス電位 V_{REF1} に近付くように制御される。同様に、オペアンプ $OP22$ の非反転入力にはリファレンス電位 V_{REF2} が供給され、オペアンプ $OP22$ の反転入力にはノード202の電位がフィードバックされる。これにより、ノード202の電位は、リファレンス電位 V_{REF2} に近付くように制御される。
- 15

- 各々の入力信号 I_{n1} 、 I_{n2} の電位は、低電位側の電源電位 V_{SS} から高電位側の電源電位 V_{DD} までの範囲で変化する。これに伴い、トランジスタ $Q_{N21} \sim Q_{N24}$ がスイッチング動作を行う。例えば、入力信号 I_{n1} がローレベルで入力信号 I_{n2} がハイレベルの場合には、トランジスタ Q_{N21} 及び Q_{N24} がオフ状態となり、トランジスタ Q_{N22} 及び Q_{N23} がオン状態となる。これにより、ノード200が高い出力電位 V_{OH} 、ノード201が低い出力電位 V_{OL} となって、ノード
- 20
- 25 200とノード201との間に出力電圧 $\Delta V = V_{OH} - V_{OL}$ が生じる。

ここで、出力電位 V_{OH} 及び V_{OL} が目標の値となるように、オペアン

プOP 2 1 及びOP 2 2 の非反転入力にそれぞれ供給されるリファレンス電位 V_{REF1} 及び V_{REF2} が決定される。差動出力のオフセット電位 V_{OS} は、 $V_{OS} = (V_{OH} + V_{OL}) / 2$ で表される。

しかしながら、図 2 に示すラインドライバにおいても、トランジスタ QN 2 1 ~ QN 2 4 が頻繁にスイッチングすると、ノード 2 0 3 及び 2 0 2 の電位変動が大きくなり、出力電位 V_{OH} 及び V_{OL} が不安定になり易い。従って、図 2 に示すラインドライバも、図 1 に示すラインドライバと同様の問題を抱えている。また、オフセット電位 V_{OS} を一定にして出力電圧 ΔV を変化させるためにはリファレンス電位 V_{REF1} とリファレンス電位 V_{REF2} との両方を変更する必要があるので、これらを発生する回路が複雑になってしまう。

一方、米国特許第 6, 111, 431 号には、図 3 に示すような LVDS 方式のラインドライバが開示されている。このラインドライバは、ドライバ回路 3 2 と、ドライバ回路 3 2 の動作を制御するためのレプリカ回路 3 1 ("mimicking circuit" と呼ばれる) とによって構成される。

ドライバ回路 3 2 は、差動信号 I_{n1} 及び I_{n2} がゲートに入力されてスイッチング動作を行う N チャネル MOS トランジスタ QN 3 1 ~ QN 3 4 と、高電位側の電源電位 V_{DD} とトランジスタ QN 3 1 及び QN 3 3 のドレイン (ノード 3 0 3) との間に接続された P チャネル MOS トランジスタ QP 3 1 と、トランジスタ QP 3 1 のゲート電圧を制御するオペアンプ OP 3 1 と、トランジスタ QN 3 2 及び QN 3 4 のソース (ノード 3 0 2) と低電位側の電源電位 V_{SS} との間に接続された N チャネル MOS トランジスタ QN 3 5 と、トランジスタ QN 3 5 のゲート電圧を制御するオペアンプ OP 3 2 とを含んでいる。

オペアンプ OP 3 1 の非反転入力 (ノード 3 0 4) とオペアンプ OP

32の非反転入力（ノード305）に所定の電位を供給するために、レプリカ回路31が接続されている。レプリカ回路31は、ドライバ回路32に用いられているトランジスタQP31、QN31～QN35の1/nのサイズをそれぞれ有するPチャネルMOSトランジスタQP32とNチャネルMOSトランジスタQN36～QN38と、受信側の終端抵抗 R_T の（n/2）倍の抵抗値をそれぞれ有する2つの抵抗とを含んでいる。

トランジスタQP32は、高電位側の電源電位 V_{DD} とトランジスタQN36のドレイン（ノード304）との間に接続されている。トランジスタQP32には、ドライバ回路32のトランジスタQP31に流れるドレイン電流 I_D の1/nのドレイン電流が流れる。トランジスタQN36及びQN37は、常にオン状態となっている。トランジスタQN38は、トランジスタQN37のソース（ノード305）と低電位側の電源電位 V_{SS} との間に接続されている。

さらに、レプリカ回路31は、トランジスタQP32のドレイン電流を決定するカレントミラー回路CMCと、トランジスタQN38のゲート電圧を制御するオペアンプOP33とを含んでいる。

オペアンプOP33の非反転入力にはリファレンス電位 V_{REF} が供給され、オペアンプOP33の反転入力にはノード306の電位がフィードバックされる。これにより、ノード306の電位は、リファレンス電位 V_{REF} に近付くように制御される。

各々の入力信号 I_{n1} 、 I_{n2} の電位は、低電位側の電源電位 V_{SS} から高電位側の電源電位 V_{DD} までの範囲で変化する。これに伴い、トランジスタQN31～QN34がスイッチング動作を行う。例えば、入力信号 I_{n1} がローレベルで入力信号 I_{n2} がハイレベルの場合には、トランジスタQN31及びQN34がオフ状態となり、トランジスタQ

N 3 2 及び Q N 3 3 がオン状態となる。これにより、受信側の終端抵抗 R_T に電流 I_D が流れ、ノード 3 0 0 とノード 3 0 1 との間に出力電圧 $\Delta V = I_D \times R_T$ が生じる。出力電圧 ΔV が目標の値となるように、レプリカ回路 3 1 のトランジスタ Q P 3 2 を流れる電流が決定される。

- 5 また、差動出力のオフセット電位は、ノード 3 0 0 及びノード 3 0 1 の電位をそれぞれ V_{300} 及び V_{301} とすると、 $V_{os} = (V_{300} + V_{301}) / 2$ で表される。オフセット電位 V_{os} は、レプリカ回路 3 1 における 2 つの抵抗の接続点（ノード 3 0 6）の電位と連動する。従って、オフセット電位 V_{os} 、即ち、ノード 3 0 6 の電位が目標の値となるよう
- 10 に、オペアンプ O P 3 3 の非反転入力に供給されるリファレンス電位 V_{REF} が決定される。

- 図 3 に示すラインドライバは、オフセット電位 V_{os} を一定に保ちながら出力電圧 ΔV を変化させるのに適した回路である。しかしながら、3 つのオペアンプを使用するため回路が複雑になってしまう。また、大
- 15 電流が流れるトランジスタ Q P 3 1 及び Q N 3 5 を制御するオペアンプ O P 3 1 及び O P 3 2 は、電源ノイズ等がトリガとなって発振し易いという問題がある。

発明の開示

- 20 そこで、上記の点に鑑み、本発明の目的は、小振幅の差動信号を外部に出力するためのラインドライバにおいて、オペアンプ等の差動増幅器の数を増やすことなしに出力信号の振幅及びオフセット電位を安定化させることができる半導体集積回路を提供することである。

- 以上の課題を解決するため、本発明に係る半導体集積回路は、差動信
- 25 号が供給されてスイッチング動作を行う複数のトランジスタを含む出力回路と、第 1 の電源電位と出力回路との間に接続された第 1 のトランジ

スタと、出力回路と第2の電源電位との間に接続された第2のトランジスタと、第1の電源電位に接続された第3のトランジスタと、第2のトランジスタと共にカレントミラー回路を構成し、第2のトランジスタに流れる電流に比例する電流を流す第4のトランジスタと、第3のトランジスタと第4のトランジスタとの間に流れる電流の経路に配置された第1の抵抗及び第2の抵抗と、第1の抵抗と第2の抵抗との接続点における電位が所定の電位に近づくように第1及び第3のトランジスタのゲート電位を制御する差動増幅器とを具備する。

本発明に係る半導体集積回路によれば、カレントミラー回路によって出力回路の電流を制御すると共に、終端抵抗のレプリカとして設けた第1の抵抗と第2の抵抗との接続点における電位に基づいて出力回路の電圧を制御するので、オペアンプ等の差動増幅器の数を増やすことなしに出力信号の振幅及びオフセット電位を安定化させることができる。

15 図面の簡単な説明

本発明の利点及び特徴は、以下の詳細な説明と図面とを関連させて考察すれば明らかになる。これらの図面において、同じ参照番号は同じ構成要素を指している。

図1は、LVDS方式において使用されている従来のラインドライバの例を示す回路図である。

図2は、LVDS方式において使用されている従来のラインドライバの他の例を示す回路図である。

図3は、LVDS方式において使用されている従来のラインドライバのさらに他の例を示す回路図である。

図4は、本発明の一実施形態に係る半導体集積回路に含まれるラインドライバの構成を示す回路図である。

発明を実施するための最良の形態

図4に、本発明の一実施形態に係る半導体集積回路に含まれるラインドライバの構成を示す。図4に示すように、このラインドライバは、ドライバ回路42と、ドライバ回路42の動作を制御するためのレプリカ回路41とによって構成される。

ドライバ回路42は、差動信号 I_{n1} 及び I_{n2} がゲートに入力されてスイッチング動作を行うNチャネルMOSトランジスタ $QN41 \sim QN44$ によって構成される出力回路と、高電位側の電源電位 V_{DD} とトランジスタ $QN41$ 及び $QN43$ のドレイン（ノード403）との間に接続されたNチャネルMOSトランジスタ $QN46$ と、トランジスタ $QN42$ 及び $QN44$ のソース（ノード402）と低電位側の電源電位 V_{SS} との間に接続されたNチャネルMOSトランジスタ $QN45$ とを含んでいる。トランジスタ $QN45$ には、リファレンス電位 V_{REF2} に従ってドレイン電流 I_D が流れ、これによって出力回路の動作電流が決定される。

ソースフォロワとして働くトランジスタ $QN46$ のゲート（ノード404）に適切な電位を供給するために、レプリカ回路41が接続されている。レプリカ回路41は、ドライバ回路42に用いられているトランジスタ $QN41 \sim QN46$ の $1/n$ のサイズをそれぞれ有するNチャネルMOSトランジスタ $QN47 \sim QN50$ と、受信側の終端抵抗 R_T の $(n/2)$ 倍の抵抗値をそれぞれ有する2つの抵抗とを含んでいる。レプリカ回路41のトランジスタ $QN50$ とドライバ回路42のトランジスタ $QN45$ とはカレントミラー回路を構成しており、トランジスタ $QN50$ には、トランジスタ $QN45$ のドレイン電流 I_D の $1/n$ のドレイン電流が流れる。ここで、 n は、正の実数（0よりも大きい数）であ

る。

レプリカ回路 4 1 において、2 つの抵抗の両側（ノード 4 0 6 及び 4 0 8）にそれぞれ接続されているトランジスタ Q N 4 8 及び Q N 4 9 は、出力回路のトランジスタ Q N 4 1 ~ Q N 4 4 に対応するものであるが、トランジスタ Q N 4 1 ~ Q N 4 4 がスイッチング動作を行うのに対して、トランジスタ Q N 4 8 及び Q N 4 9 は常にオン状態となっている。トランジスタ Q N 4 7 は、電圧源であり、高電位側の電源電位 V_{DD} とトランジスタ Q N 4 8 のドレインとの間に接続される。トランジスタ Q N 4 7 のゲート電圧は、差動増幅器の一種であるオペアンプ O P 4 1 によって制御される。トランジスタ Q N 5 0 は、トランジスタ Q N 4 9 のソースと低電位側の電源電位 V_{SS} との間に接続されている。

オペアンプ O P 4 1 の非反転入力にはリファレンス電位 V_{REF1} が供給され、オペアンプ O P 4 1 の反転入力にはノード 4 0 7 の電位がフィードバックされる。これにより、ノード 4 0 7 の電位は、リファレンス電位 V_{REF1} に近付くように制御される。トランジスタ Q N 5 0 には、リファレンス電位 V_{REF2} に従ってドレイン電流が流れ、これによってレプリカ回路 4 1 の動作電流が決定される。

各々の入力信号 I_{n1} 、 I_{n2} の電位は、低電位側の電源電位 V_{SS} から高電位側の電源電位 V_{DD} までの範囲で変化する。これに伴い、出力回路のトランジスタ Q N 4 1 ~ Q N 4 4 がスイッチング動作を行う。

例えば、入力信号 I_{n1} がローレベルで入力信号 I_{n2} がハイレベルの場合には、トランジスタ Q N 4 1 及び Q N 4 4 がオフ状態となり、トランジスタ Q N 4 2 及び Q N 4 3 がオン状態となる。これにより、受信側の終端抵抗 R_T に電流 I_D が流れ、ノード 4 0 0 とノード 4 0 1 との間に出力電圧 $\Delta V = I_D \times R_T$ が生じる。このとき、レプリカ回路 4 1 においても、2 つの抵抗に電流 I_D / n が流れ、ノード 4 0 6 とノード

408との間に電位差 $\Delta V_R = (I_D/n) \times (nR_T/2 + nR_T/2)$
 $) = I_D \times R_T$ が生じる。

一方、入力信号 I_{n1} がハイレベルで入力信号 I_{n2} がローレベルの
 場合には、トランジスタQN41及びQN44がオン状態となり、トラ
 5 ンジスタQN42及びQN43がオフ状態となる。これにより、受信側
 の終端抵抗 R_T に逆向きの電流 I_D が流れ、ノード401とノード40
 0との間に出力電圧 $\Delta V = I_D \times R_T$ が生じる。このとき、レプリカ回
 路41においても、2つの抵抗に電流 I_D/n が流れ、ノード406と
 ノード408との間に電位差 $\Delta V_R = (I_D/n) \times (nR_T/2 + nR$
 10 $T/2) = I_D \times R_T$ が生じる。

また、ドライバ回路42において、差動出力のオフセット電位 V_{os}
 は、ノード400及びノード401の電位をそれぞれ V_{400} 及び V_{401}
 とすると、 $V_{os} = (V_{400} + V_{401}) / 2$ で表される。その値は、レプ
 リカ回路31における2つの抵抗の接続点（ノード407）の電位 V_o
 15 $s_R = (V_{406} + V_{408}) / 2 = V_{407}$ と連動する。従って、オフセット
 電位 V_{os} 、即ち、ノード407の電位が目標の値となるように、オペ
 アンプOP41の非反転入力に供給されるリファレンス電位 V_{REF1} が
 決定される。

以上説明したように、本実施形態においては、カレントミラー回路に
 20 よって出力回路の電流を制御すると共に、終端抵抗のレプリカとして設
 けた2つの抵抗の接続点における電位に基づいて出力回路の電圧を制御
 するので、オペアンプの数を増やすことなしに出力信号の振幅及びオフ
 セット電位を安定化させることができる。特に、ドライバ回路において
 オペアンプが存在しないので、回路構成が単純になり、発振するおそれ
 25 もなくなる。また、1つのリファレンス電位を変化させることにより、
 オフセット電位を一定に保ったまま、出力信号の振幅を変化させること

が可能である。

産業上の利用可能性

本発明は、パーソナルコンピュータのグラフィックボードとディスプレイ部との間の信号伝送等において利用することができる。

請 求 の 範 囲

1. 差動信号が供給されてスイッチング動作を行う複数のトランジスタを含む出力回路と、

5 第1の電源電位と前記出力回路との間に接続された第1のトランジスタと、

前記出力回路と第2の電源電位との間に接続された第2のトランジスタと、

第1の電源電位に接続された第3のトランジスタと、

10 前記第2のトランジスタと共にカレントミラー回路を構成し、前記第2のトランジスタに流れる電流に比例する電流を流す第4のトランジスタと、

前記第3のトランジスタと前記第4のトランジスタとの間に流れる電流の経路に配置された第1の抵抗及び第2の抵抗と、

15 前記第1の抵抗と前記第2の抵抗との接続点における電位が所定の電位に近づくように前記第1及び第3のトランジスタのゲート電位を制御する差動増幅器と、

を具備する半導体集積回路。

2. 前記第1の電源電位が前記第2の電源電位よりも高く、前記第1～
20 第4のトランジスタの各々がNチャネルMOSトランジスタを含む、請求項1記載の半導体集積回路。

3. 前記出力回路が、

前記第1のトランジスタと前記第2のトランジスタとの間に直列に接続された第5のトランジスタ及び第6のトランジスタであって、差動信号
25 号に含まれる第1の信号がゲートに供給される第5のトランジスタ、及び、差動信号に含まれる第2の信号がゲートに供給される第6のトラン

ジスタと、

前記第 1 のトランジスタと前記第 2 のトランジスタとの間に直列に接続された第 7 のトランジスタ及び第 8 のトランジスタであって、差動信号に含まれる第 2 の信号がゲートに供給される第 7 のトランジスタ、及び、
5 差動信号に含まれる第 1 の信号がゲートに供給される第 8 のトランジスタと、

を含む、請求項 1 記載の半導体集積回路。

4. 前記第 1 の電源電位が前記第 2 の電源電位よりも高く、前記第 5 ～第 8 のトランジスタの各々が N チャネル MOS トランジスタを含む、請求項 3 記載の半導体集積回路。
10

5. 前記第 5 のトランジスタ及び前記第 6 のトランジスタの接続点と、前記第 7 のトランジスタ及び前記第 8 のトランジスタの接続点との間に、信号線を介して終端抵抗が接続される、請求項 3 記載の半導体集積回路。

15 6. 前記第 3 のトランジスタと前記第 1 の抵抗との間に接続された第 9 のトランジスタと、

前記第 2 の抵抗と前記第 4 のトランジスタとの間に接続された第 10 のトランジスタと、

をさらに具備する請求項 1 記載の半導体集積回路。

20 7. n を 0 より大きい数とするときに、前記第 3、第 4、第 9 及び第 10 のトランジスタに流れる電流が、前記第 1 及び第 2 のトランジスタに流れる電流の $1/n$ である、請求項 6 記載の半導体集積回路。

8. 前記第 3、第 4、第 9 及び第 10 のトランジスタの各々が、前記第 1 及び第 2 のトランジスタの各々のサイズの $1/n$ のサイズを有する、
25 請求項 7 記載の半導体集積回路

9. 前記第 1 及び第 2 の抵抗の各々が、前記出力回路に接続される終端

抵抗の抵抗値の $(n/2)$ 倍の抵抗値を有する、請求項 7 記載の半導体集積回路。

10. 前記差動増幅器が、

リファレンス電位が供給される非反転入力端子と、

5 前記第 1 の抵抗と前記第 2 の抵抗との接続点における電位が供給される反転入力端子と、

前記第 1 及び第 3 のトランジスタのゲートに出力電位を供給する出力端子と、

を有する、請求項 1 記載の半導体集積回路。

2/4

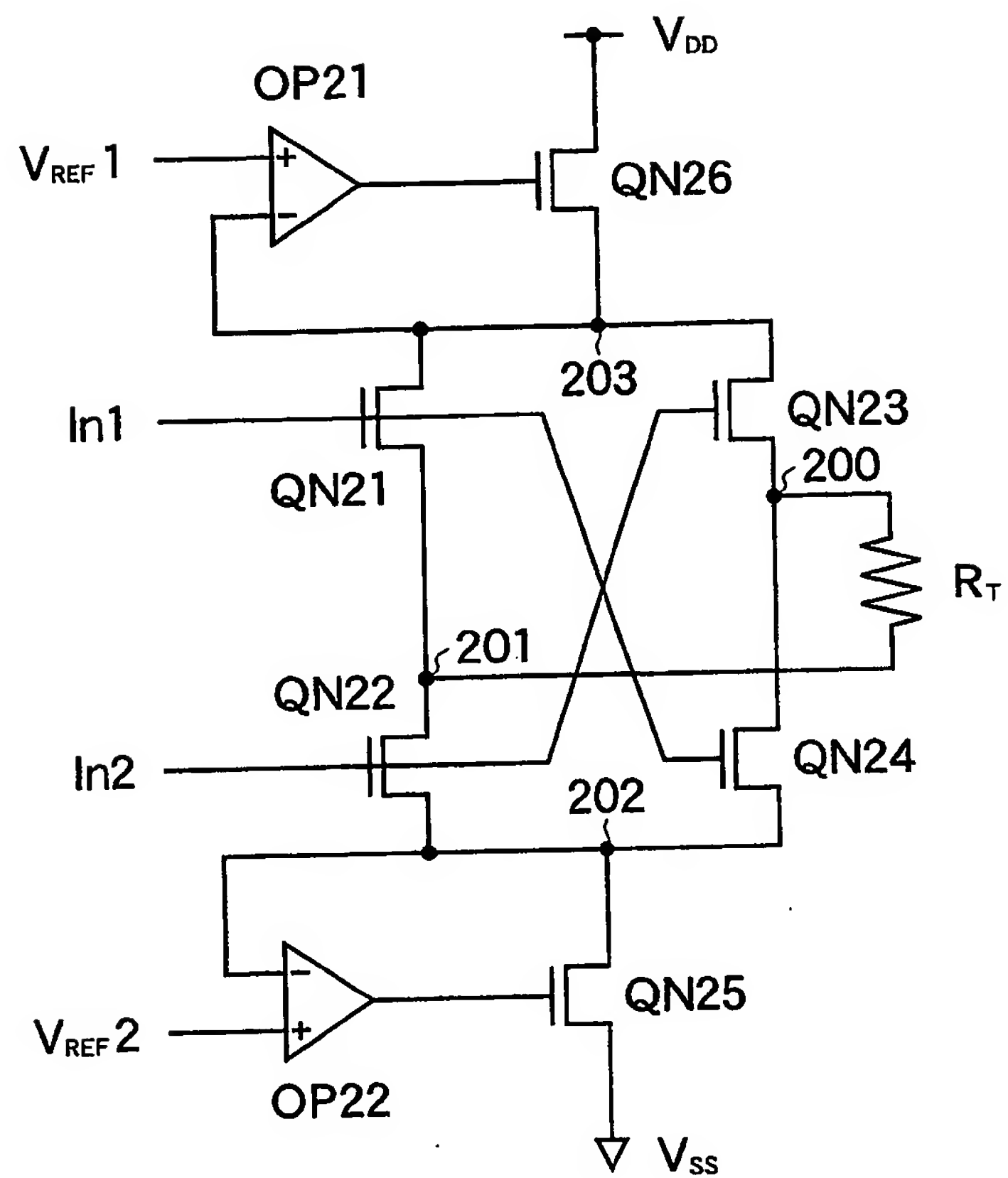
FIG.2

FIG.3

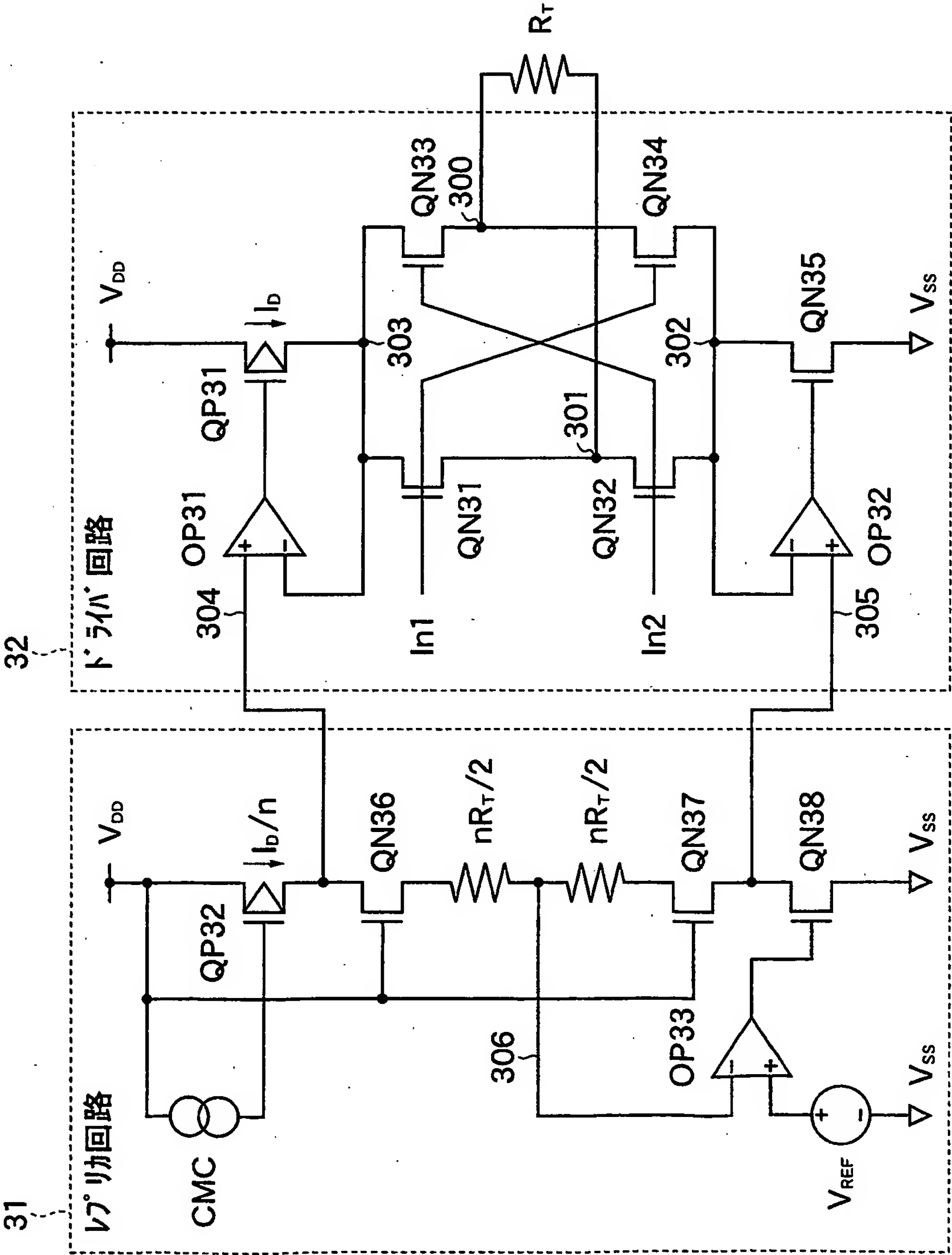
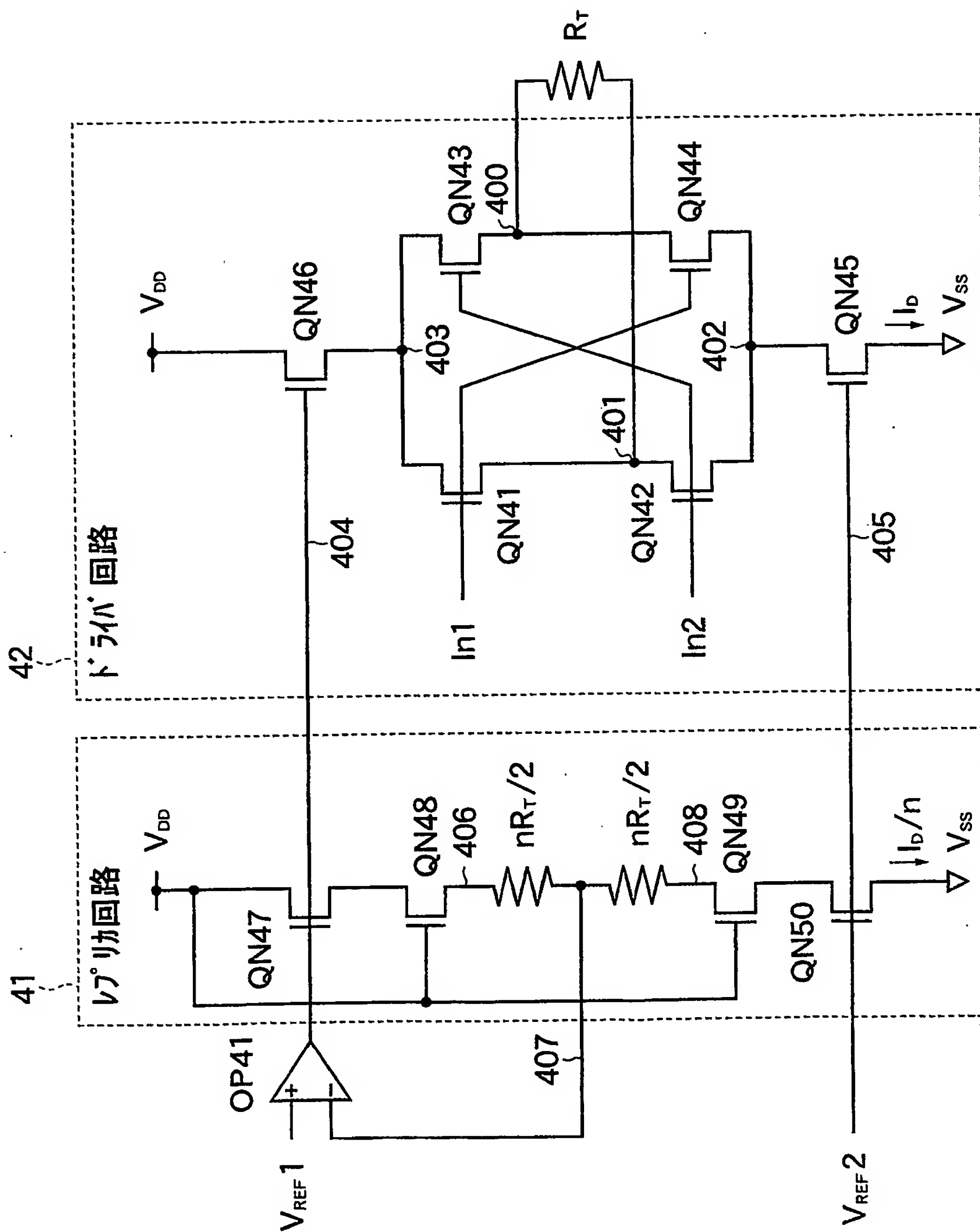


FIG. 4



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP01/10725

A. CLASSIFICATION OF SUBJECT MATTER

Int.Cl⁷ H03K19/00

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int.Cl⁷ H03K19/00, H04L25/02

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho(Y1,Y2) 1926-1996 Toroku Jitsuyo Shinan Koho(U) 1994-2002
Kokai Jitsuyo Shinan Koho(U) 1971-2002 Jitsuyo Shinan Toroku Koho(Y2) 1996-2002

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP, 2000-41072, A (National Semiconductor Corp.), 08 February, 2000 (08.02.00), & US 6111431 A	1-10
A	JP, 2000-174605, A (NEC Corp.), 23 June, 2000 (23.06.00), & EP 1011197 A	1-10
A	JP, 10-270992, A (Yamaha Corp.), 09 October, 1998 (09.10.98), & US 5990711 A	1-10

☐ Further documents are listed in the continuation of Box C.☐ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier document but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"&" document member of the same patent family

Date of the actual completion of the international search
05 March, 2002 (05.03.02)

Date of mailing of the international search report
19 March, 2002 (19.03.02)

Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

A. 発明の属する分野の分類 (国際特許分類 (IPC))
Int. Cl⁷ H03K19/00

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))
Int. Cl⁷ H03K19/00, H04L25/02

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報 (Y1, Y2) 1926-1996年
日本国公開実用新案公報 (U) 1971-2002年
日本国登録実用新案公報 (U) 1994-2002年
日本国実用新案登録公報 (Y2) 1996-2002年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
A	JP 2000-41072 A(ナショナル セミコンダクタ コーポレイション), 2000.02.08&US 6111431 A	1-10
A	JP 2000-174605 A(日本電気株式会社), 2000.06.23&EP 1011197 A	1-10
A	JP 10-270992 A(ヤマハ株式会社), 1998.10.09&US 5990711 A	1-10

☐ C欄の続きにも文献が列挙されている。

☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」 特に関連のある文献ではなく、一般的技術水準を示すもの
「E」 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)
「O」 口頭による開示、使用、展示等に言及する文献
「P」 国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Y」 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「&」 同一パテントファミリー文献

国際調査を完了した日

05.03.02

国際調査報告の発送日

19.03.02

国際調査機関の名称及びあて先

日本国特許庁 (ISA/JP)

郵便番号 100-8915

東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)

江嶋 清仁

5X

7928

電話番号 03-3581-1101 内線 3556